

1-Magillem IP-XACT Packager (MIP)

概要

IP ベース手法のフローへの効率的な移行では、簡単且つ自動化された手順と、技術に依存しないフォーマットを使い、またレガシーIP ライブラリの取り込みが必須です。MIP は既存のフローに影響を与えない技術を使い、VHDL、Verilog、SystemC の IP に対して、IP-XACT 準拠の記述を自動的に生成します。このパッケージャーの拡張性によって、レガシー部品ライブラリを自動インポートし、さらに高位のモジュール化によって、様々な顧客のディレクトリ構造及び顧客からの特殊情報のサポートなどを取り込みながらスムーズな統合を促進します。

MIP の主な利点は：

- レガシー及び新規 IP に対して、既存の環境に影響を与えずに拡張性を持たせた自動化プロセス構築を可能にする
- IP 顧客ポートフォリオのシームレスなパッケージを可能にした実証済みの手法
- どのような IP 記述、顧客データ構造、及び入力情報に対しても、自由にカスタマイズ可能なプロセスによってサポート
- このパッケージャーの拡張可能なアーキテクチャによって、すでに取り込まれたコンポーネントの入力情報の変更が生じても、自動的にそれを再キャプチャーすることも可能
- すべての IP-XACT フォーマットをサポート
- 強力な Magillem IP-XACT チェッカー・スイートを使用した構築及び評価をすることによって、IP-XACT 準拠及びデータの一貫性を保証する
- **CAD** フローに依存しない

MIP は顧客の持つ様々なタイプのインフラにプラグイン可能：

- ディレクトリ構造：
 - o CoReUse
 - o 顧客独自の構造
- IP Yellow Pages 統合
- 履歴管理システムへの直接リンク：CVS, SVN, Clearcase, DesignSync

機能

Spirit Consortium の主要貢献メンバーとして、当社は IP-XACT について十分な経験を持っています。MIP は IP-XACT のすべてのバージョンに対応できます：

- レガシーIP-XACT バージョン: 1.0, 1.1, 1.2, 1.4
- IEEE1685 標準.

MIP は、IP-XACT 文法、セマンティクス及び Spirit/Accellera Consortium ガイドラインを元に生成されたファイルの妥当性を保証する Magillem Checkers Suite の機能を使用しています。MIP は以下のフォーマットからファイルを取り込むことが可能：

- VHDL '87, '93
- Verilog '95, '01
- SystemC 1.x, 2.x, TLM 1.x, TLM 2.x.

- どのようなCSVもしくはエクセルシートでも、IP-XACT変換をアシストしながら、GUIを通してインポートできる

MIPは異なるHDLライブラリで定義されたVHDL/Verilog混在の階層部品に対してIP-XACT記述も生成可能です。先進RTLインポート機能によって、構造化RTLを有効なIP-XACT設計にインポートすることが可能です。

Magillem AMS Solutionで、次のような言語拡張もサポートしております：

- VHDL-AMS : IEEE 1076.1
- Verilog-AMS : LRM 2.3.1
- SystemC-AMS: LRM 1.0.

IPパッケージングにおいて、当社は以下のサービスを提供：

- 既存ライブラリの検査及び、最も効率よいインポートの方法についての取り決め
- 顧客の特殊情報の扱い及び、顧客の持つインフラとの統合のためのツールのカスタマイズ

利点

IP提供者：

- IPを再利用可能なフォーマットで定義し、それによってIP統合担当者に対してコンフィグレーション、インプレメンテーション及び検証作業のガイドをする
- IP-XACT知識不要で、コレクト・バイ・コンストラクションでIP-XACT記述を生成する

IP統合者：

- ヘテロジニアスのアーキテクチャ統合
- 容易なコンフィグレーション及び再利用可能なIPライブラリ管理

プロジェクト・リーダー：：

- 共同作業、検証、トラッキング作業の同期
- 報告（レポート）

仕様

IP-XACT 1.0, 1.2, 1.4 サポート

IP-XACT IEEE 1685 サポート

標準準拠チェック

シンタックス・チェック

標準 IP-XACT とマジレム・セマンティック・チェックを追加

ディレクトリ構造サポート

CoreUse 標準リポジトリ構造

カスタム・リポジトリ構造

パッケージ情報

ソース本体/モジュールからのIPインターフェースとパラメータ

TCLコマンドとCSVフォーマットからバス・インターフェース定義

コンポーネントとその依存性の完全なファイルセットの生成

メモリマップ・エレメント（ブロック、レジスタ、フィールド、enumeration、UVM 標準拡張）

IP-XACT ビュー

サポートされている HDL 言語

VHDL'87, '93

Verilog'95, '01 & System Verilog

SystemC 1.x, 2.x

VHDL-AMS IEEE 1076.1

Verilog-AMS LRM 2.3.1

SystemC-AMS LRM 1.0

階層 HDL インポート

Structural HDL netlists

Structural HDL VHDL, Verilog (package, function, include file, pragmas supported)

エディタ

IP-XACT editors (all IP-XACT versions)

BlockForge

顧客特定情報のインポート

Register and memory map definition: CSV, Excel, Framemaker, SystemRDL

Legacy XML

Documentation, DITA

Design rules integration

Protocal coverage rules

履歴管理ツールとの統合

CVS/SVN connectors

Clearcase/DesignSync connectors

スクリプト

Command line interface, TCL + python console, TGI generators (with MGS token)

プラットフォーム

32bit: Windows XP, Vista, 7, Linux RHE4, RHE5

64bit: Windows XP, Vista, 7, Linux RHE4, RHE5