

## 2-Magillem Platform Assembly (MPA)

### 概要

システムオンチップ (SOC) 、FPGA ベースのソリューション、ESL 仮想プラットフォームのような複雑なシステム設計をより加速させるために、IP-XACT 標準が、複数のソースから提供された IP を扱い、記述するためのメカニズムを提供し、また複数ベンダーツールを含むフロー内での設計統合、コンフィグレーションの自動化を可能にします。

このような目標を達成するために、マジレム社は、MPA という強力かつ使いやすい統合化された設計環境 (IDE) を提供します。ユーザ・フレンドリーなインターフェースは、プラットフォーム構築、コンフィグレーション作業、そして IP ベースシステム構築及び無駄のない探索作業中に、以下のようなサポートを設計者に提供します：

- 完全にグラフィック化されたプラットフォーム・エディターによって、より先進的なパラメータ化、再利用可能な設計手法及びチーム作業を促進
- デジタル及びアナログ設計環境 (エディター、DRC、ライブラリ管理)
- 階層を通して簡単に IP 接続する為のすでに定義された一連の自動化オペレーションは、様々なコンポーネントを扱い (move, merge, flat, insert...) 且つエラー発生リスクを減少
- 同じプラットフォームが、フロー・ステップ (パワードメイン、検証、ソフトウェア、チーム、抽象レベルなど) と調和させながら階層的に記述することを可能にする仮想階層のサポート
- ジェネレータのライブラリを管理する為のグラフィカル・インターフェース、Magillem Generator Studio ツール向けのプラグイン、そして、専用アプリケーション向けに構築されたプラットフォームの自動化に向けたカスタマイズ
- 様々な EDA ツールとの接続 (Mentor, Cadence, Synopsys, Xilinx, Altera)
- RTL 及び ESL のネットリスト生成 (VHDL, Verilog, SystemC, VHDL-AMS, Verilog-A, SystemC-AMS)
- 進捗状況を管理するために、被テスト設計 (DUT) をコントロール、モニターする為の Cockpit と統合され、また検証目的で使われる環境の自動生成。

MPA は、マルチサイトの設計チームで使われている V-サイクル手法に十分適用できます。トップダウンのアプローチを使い、すべての内部接続を含むシステムの完全なビューを構築します。そしてさらに精度を上げるためにサブシステムにエクスポートされます。その後ボトムアップ・フローでは、IP 統合者が複雑な IP をインポート且つアップデートして、SOC 設計に組み込むことができます。さらに IP のコンフィグレーション、インプレメンテーション及び検証を通してガイドを受けながら作業できます。

コレクト・バイ・コンストラクション手法と設計ルール・チェック (DRC) によって、IP-XACT シンタクスとセマンティクスに準拠したシステムの品質を確実にします。さらに仕様項目のトレーサビリティによって航空業界標準 (DO-254) の準拠を確認できます。

MPA はすべてのマジレム・ソリューションの主要基盤ツールです。MPA は単独で IP のアセンブリ及び接続ができるプラットフォームとして使用できます。もしくはより高い価値を生

み出すソリューションを実現する為に、マジレムの全ツール群と共に使用されます。MPA は、コンポーネントをインポートし、パッケージ化させることによって、IP-XACT ライブラリを構築する為に使われる MIP と共に使うと最高の結果が出せます。MSG はジェネレータを使って構築されたプラットフォームに対して、カスタム自動化が可能となります。そして MRV と MSE はソフトウェアのインターフェース（レジスタ及びメモリ）を管理します。

## 機能

- デジタル、アナログ、混在、及びシステム・プラットフォームのビューワー
- バージョンとコンフィグレーション管理
- 標準準拠要求に対してのトレーサビリティ
- 検証ツールキット
- 接続 IP (bus, signal, split, tie) とのチェックボックス・インターフェース
- IP を設計内にドラック & ドロップ
- 各種 EDA ツールのコネクター
- RTL と ESL の Netlister
- 検証ツールキット

## 利点

HW システム・アーキテクト・エンジニア:

- 迅速なアーキテクチャ探索と定義

IP 提供者:

- コンフィグレーション、インプレメンテーション及び検証を通して、再利用フォーマットを使ってパッケージ化された IP によって IP 統合者をガイド

IP 統合者:

- ヘテロジニアスなアーキテクチャ統合
- 容易なコンフィグレーション及び再利用 IP ライブラリ管理
- ESL/HDL コードの自動生成

プロジェクト・リーダー:

- 共同作業での同期、検証、トラッキング、レポート生成

検証エンジニア:

- IP の HW インプレメンテーションの迅速な検証
- 検証計画、及びカバレッジのスコアリング
- 容易なモニタリング、コンフィグレーション、及び初期化

## 仕様

Native IP-XACT v1.4

Native IEEE 1685 support

コンポーネントとデザイン・ルール・チェッカー

デジタル・ルール

アナログ・ルール

カスタム・ルールのサポート

IP-XACT (all versions) + IEEE1685 ルールサポート

チェッカーの非チェック管理

階層 Netlister

コンフィグ可能 header

VHDL configuration / VHDL package

VHDL IEEE 1076

Verilog IEEE 1364

VHDL と Verilog の自動 Wrapper 挿入を持った SystemC IEEE 1666

VHDL-AMS IEEE 1076.1

Verilog-AMS LRM 2.3.1

SystemC-AMS LRM 1.0

SystemVerilog IEEE 1800

### グラフィカル版

System graphical front-end editor

Analog graphical front-end editor

IP browser / IP-XACT editor

Parameters view (all/filtered)

Dynamic Hierarchy view

Component Generator launcher

BlockForge editor

### 階層的操作

Merge, Flatten, Move operation

Virtual Hierarchy Management

Component Stubbing operation

Publish/update platform

Design Statistic reporting

Hierarchical parameter propagation

TCL / Python / Ruby console

Command line execution

### EDA ツールコネクタ

IC and system simulation

Modelsim/Quarta (Mentor)

Incisive (Cadence)

VCS (Synopsys)

Cadence OpenAccess

### レガシー設計インポート

Import VHDL design to IP-XACT

Import Verilog design to IP-XACT

DO254 support

### OS サポート

Linux RHE + Windows 2000/XP/Vista/7 (32bit)

Linux RHE + Windows 2000/XP/Vista/7 (64bit)