

## MAGILLEM PREEXISTING KNOW-HOW

### 1-Magillem IP-XACT Packager (MIP)

#### 概要

IP ベース手法のフローへの効率的な移行では、簡単且つ自動化された手順と、技術に依存しないフォーマットを使い、またレガシーIP ライブラリの取り込みが必須です。MIP は既存のフローに影響を与えない技術を使い、VHDL、Verilog、SystemC の IP に対して、IP-XACT 準拠の記述を自動的に生成します。このパッケージャーの拡張性によって、レガシー部品ライブラリを自動インポートし、さらに高位のモジュール化によって、様々な顧客のディレクトリ構造及び顧客からの特殊情報のサポートなどを取り込みながらスムーズな統合を促進します。

MIP の主な利点は：

- レガシー及び新規 IP に対して、既存の環境に影響を与えずに拡張性を持たせた自動化プロセス構築を可能にする
- IP 顧客ポートフォリオのシームレスなパッケージを可能にした実証済みの手法
- どのような IP 記述、顧客データ構造、及び入力情報に対しても、自由にカスタマイズ可能なプロセスによってサポート
- このパッケージャーの拡張可能なアーキテクチャによって、すでに取り込まれたコンポーネントの入力情報の変更が生じても、自動的にそれを再キャプチャーすることも可能
- すべての IP-XACT フォーマットをサポート
- 強力な Magillem IP-XACT チェッカー・スイートを使用した構築及び評価をすることによって、IP-XACT 準拠及びデータの一貫性を保証する
- CAD フローに依存しない

MIP は顧客の持つ様々なタイプのインフラにプラグイン可能：

- ディレクトリ構造：
  - o CoReUse
  - o 顧客独自の構造
- IP Yellow Pages 統合
- 履歴管理システムへの直接リンク：CVS, SVN, Clearcase, DesignSync

#### 機能

Spirit Consortium の主要貢献メンバーとして、当社は IP-XACT について十分な経験を持っています。MIP は IP-XACT のすべてのバージョンに対応できます：

- レガシーIP-XACT バージョン: 1.0, 1.1, 1.2, 1.4
- IEEE1685 標準.

MIP は、IP-XACT 文法、セマンティクス及び Spirit/Accellera Consortium ガイドラインを元に生成されたファイルの妥当性を保証する Magillem Checkers Suite の機能を使用しています。MIP は以下のフォーマットからファイルを取り込むことが可能：

- VHDL '87, '93

- Verilog '95, '01
- SystemC 1.x, 2.x, TLM 1.x, TLM 2.x.
- どのようなCSVもしくはエクセルシートでも、IP-XACT 変換をアシストしながら、GUI を通してインポートできる

MIP は異なる HDL ライブラリで定義された VHDL/Verilog 混在の階層部品に対して IP-XACT 記述も生成可能です。先進 RTL インポート機能によって、構造化 RTL を有効な IP-XACT 設計にインポートすることが可能です。

Magillem AMS Solution で、次のような言語拡張もサポートしております：

- VHDL-AMS : IEEE 1076.1
- Verilog-AMS : LRM 2.3.1
- SystemC-AMS: LRM 1.0.

IP パッケージングにおいて、当社は以下のサービスを提供：

- 既存ライブラリの検査及び、最も効率よいインポートの方法についての取り決め
- 顧客の特殊情報の扱い及び、顧客の持つインフラとの統合の為にツールのカスタマイズ

## 利点

IP 提供者：

- IP を再利用可能なフォーマットで定義し、それによって IP 統合担当者に対してコンフィグレーション、インプレメンテーション及び検証作業のガイドをする
- IP-XACT 知識不要で、コレクト・バイ・コンストラクションで IP-XACT 記述を生成する

IP 統合者：

- ヘテロジニアスのアーキテクチャ統合
- 容易なコンフィグレーション及び再利用可能な IP ライブラリ管理

プロジェクト・リーダー：：

- 共同作業、検証、トラッキング作業の同期
- 報告（レポート）

## 仕様

IP-XACT 1.0, 1.2, 1.4 サポート

IP-XACT IEEE 1685 サポート

## 標準準拠チェック

シンタックス・チェック

標準 IP-XACT とマジレム・セマンティック・チェックを追加

## ディレクトリ構造サポート

CoreUse 標準リポジトリ構造

カスタム・リポジトリ構造

## パッケージ情報

ソース本体/モジュールからの IP インターフェースとパラメータ

TCL コマンドと CSV フォーマットからバス・インターフェース定義

コンポーネントとその依存性の完全なファイルセットの生成  
メモリマップ・エレメント（ブロック、レジスタ、フィールド、enumeration、UVM 標準拡張）

IP-XACT ビュー

#### サポートされている HDL 言語

VHDL'87, '93

Verilog'95, '01 & System Verilog

SystemC 1.x, 2.x

VHDL-AMS IEEE 1076.1

Verilog-AMS LRM 2.3.1

SystemC-AMS LRM 1.0

#### 階層 HDL インポート

Structural HDL netlists

Structural HDL VHDL, Verilog (package, function, include file, pragmas supported)

#### エディタ

IP-XACT editors (all IP-XACT versions)

BlockForge

#### 顧客特定情報のインポート

Register and memory map definition: CSV, Excel, Framemaker, SystemRDL

Legacy XML

Documentation, DITA

Design rules integration

Protocal coverage rules

#### 履歴管理ツールとの統合

CVS/SVN connectors

Clearcase/DesignSync connectors

#### スクリプト

Command line interface, TCL + python console, TGI generators (with MGS token)

#### プラットフォーム

32bit: Windows XP, Vista, 7, Linux RHE4, RHE5

64bit: Windows XP, Vista, 7, Linux RHE4, RHE5

## 2-Magillem Platform Assembly (MPA)

### 概要

システムオンチップ (SOC)、FPGA ベースのソリューション、ESL 仮想プラットフォームのような複雑なシステム設計をより加速させるために、IP-XACT 標準が、複数のソースから提供された IP を扱い、記述するためのメカニズムを提供し、また複数ベンダーツールを含むフロー内での設計統合、コンフィグレーションの自動化を可能にします。

このような目標を達成するために、マジレム社は、MPA という強力かつ使いやすい統合化された設計環境（IDE）を提供します。ユーザ・フレンドリーなインターフェースは、プラットフォーム構築、コンフィグレーション作業、そして IP ベースシステム構築及び無駄のない探索作業中に、以下のようなサポートを設計者に提供します：

- 完全にグラフィック化されたプラットフォーム・エディターによって、より先進的なパラメータ化、再利用可能な設計手法及びチーム作業を促進
- デジタル及びアナログ設計環境（エディター、DRC、ライブラリ管理）
- 階層を通して簡単に IP 接続する為のすでに定義された一連の自動化オペレーションは、様々なコンポーネントを扱い（move, merge, flat, insert...）且つエラー発生リスクを減少
- 同じプラットフォームが、フロー・ステップ（パワードメイン、検証、ソフトウェア、チーム、抽象レベルなど）と調和させながら階層的に記述することを可能にする仮想階層のサポート
- ジェネレータのライブラリを管理する為のグラフィカル・インターフェース、Magillem Generator Studio ツール向けのプラグイン、そして、専用アプリケーション向けに構築されたプラットフォームの自動化に向けたカスタマイズ
- 様々な EDA ツールとの接続 (Mentor, Cadence, Synopsys, Xilinx, Altera)
- RTL 及び ESL のネットリスト生成 (VHDL, Verilog, SystemC, VHDL-AMS, Verilog-A, SystemC-AMS)
- 進捗状況を管理するために、被テスト設計（DUT）をコントロール、モニターする為の Cockpit と統合され、また検証目的で使われる環境の自動生成。

MPA は、マルチサイトの設計チームで使われている V-サイクル手法に十分適用できます。トップダウンのアプローチを使い、すべての内部接続を含むシステムの完全なビューを構築します。そしてさらに精度を上げるためにサブシステムにエクスポートされます。その後ボトムアップ・フローでは、IP 統合者が複雑な IP をインポート且つアップデートして、SOC 設計に組み込むことができます。さらに IP のコンフィグレーション、インプレメンテーション及び検証を通してガイドを受けながら作業できます。

コレクト・バイ・コンストラクション手法と設計ルール・チェック（DRC）によって、IP-XACT シンタクスとセマンティクスに準拠したシステムの品質を確実にします。さらに仕様項目のトレーサビリティによって航空業界標準(DO-254)の準拠を確認できます。

MPA はすべてのマジレム・ソリューションの主要基盤ツールです。MPA は単独で IP のアセンブリ及び接続ができるプラットフォームとして使用できます。もしくはより高い価値を生み出すソリューションを実現する為に、マジレムの全ツール群と共に使用されます。MPA は、コンポーネントをインポートし、パッケージ化させることによって、IP-XACT ライブラリを構築する為に使われる MIP と共に使うと最高の結果が出せます。MSG はジェネレータを使って構築されたプラットフォームに対して、カスタム自動化が可能となります。そして MRV と MSE はソフトウェアのインターフェース（レジスタ及びメモリ）を管理します。

機能

- デジタル、アナログ、混在、及びシステム・プラットフォームのビューワー
- バージョンとコンフィグレーション管理
- 標準準拠要求に対してのトレーサビリティ
- 検証ツールキット
- 接続 IP (bus, signal, split, tie) とのチェックボックス・インターフェース
- IP を設計内にドラック & ドロップ
- 各種 EDA ツールのコネクター
- RTL と ESL の Netlister
- 検証ツールキット

## 利点

HW システム・アーキテクト・エンジニア:

- 迅速なアーキテクチャ探索と定義

IP 提供者:

- コンフィグレーション、インプレメンテーション及び検証を通して、再利用フォーマットを使ってパッケージ化された IP によって IP 統合者をガイド

IP 統合者:

- ヘテロジニアスなアーキテクチャ統合
- 容易なコンフィグレーション及び再利用 IP ライブラリ管理
- ESL/HDL コードの自動生成

プロジェクト・リーダー:

- 共同作業での同期、検証、トラッキング、レポート生成

検証エンジニア:

- IP の HW インプレメンテーションの迅速な検証
- 検証計画、及びカバレッジのスコアリング
- 容易なモニタリング、コンフィグレーション、及び初期化

## 仕様

Native IP-XACT v1.4

Native IEEE 1685 support

コンポーネントとデザイン・ルール・チェッカー

デジタル・ルール

アナログ・ルール

カスタム・ルールのサポート

IP-XACT (all versions) + IEEE1685 ルールサポート

チェッカーの非チェック管理

階層 Netlister

コンフィグ可能 header

VHDL configuration / VHDL package

VHDL IEEE 1076

Verilog IEEE 1364

VHDL と Verilog の自動 Wrapper 挿入を持った SystemC IEEE 1666

VHDL-AMS IEEE 1076.1

Verilog-AMS LRM 2.3.1

SystemC-AMS LRM 1.0

SystemVerilog IEEE 1800

## グラフィカル版

System graphical front-end editor  
Analog graphical front-end editor  
IP browser / IP-XACT editor  
Parameters view (all/filtered)  
Dynamic Hierarchy view  
Component Generator launcher  
BlockForge editor

## 階層的操作

Merge, Flatten, Move operation  
Virtual Hierarchy Management  
Component Stubbing operation  
Publish/update platform  
Design Statistic reporting  
Hierarchical parameter propagation  
TCL / Python / Ruby console  
Command line execution

## EDA ツールコネクタ

IC and system simulation  
Modelsim/Quarta (Mentor)  
Incisive (Cadence)  
VCS (Synopsys)  
Cadence OpenAccess

## レガシー設計インポート

Import VHDL design to IP-XACT  
Import Verilog design to IP-XACT  
DO254 support

## OS サポート

Linux RHE + Windows 2000/XP/Vista/7 (32bit)  
Linux RHE + Windows 2000/XP/Vista/7 (64bit)

## 3-Magillem Register View (MRV)

### 概要

マジレムは SOC ソリューション向けのレジスタ管理の為に以前から要求されていたニーズに対して全く新しいアプローチを提供します：顧客は Excel ベースのレジスタ情報のキャプチャー、設計との分離、レジスタ管理機能に特化した高価なツール（このタイプのツールは、他のチームもしくはサードパーティ・ベンダーから提供される IP/サブシステムの管理及び共同作業をいまだにサポートしていない）がもたらず問題から開放されます。費用対効果が高く、拡張性及び妥協しない姿勢で開発された製品 MRV は、複雑化したチップ内の HW/SW 統合での様々なチャレンジに取り組む為に、システムと IP のレジスター・ビューを提供します：

- 階層的なシステムにおいて、複数の異なるベンダーから提供されるコンフィグ可能な IP レジスタ記述（数千のレジスターを含む）の統合
- 単一のデータベース内での異なるフォーマット（CSV, Excel, XML...）で定義されているレジスタ記述のインポートとキャプチャー

- データベースと包括的且つ一貫性を持ったチェックによってエラーの削減と整合性を維持
- SW 開発向けの正しく且つ整合性のとれたシステムマップ定義を生成する為に、HW インターフェース定義とプラットフォーム接続性との密リンク
- IP-XACT 標準、現在は IEEE1685 (マジレム環境によってサポートされているネイティブ・フォーマット) により、ツールとレジスタ・フォーマットが独立

MRV は SW、HW 及びドキュメンテーションの各種フローの合流点です。つまり以下のような他のマジレムツールとの接続を提供しています：

- MSE(Magillem Sequence Editor)：レジスタ記述用,
- MPA(Magillem Platform Assembly)：システムのアーキテクチャ記述用,
- MCP(Magillem Content Packager)：異なるチーム (アーキテクト、SW、HW 設計と検証) によって使われるドキュメント生成用.

そのデータモデルと GUI は、現在のシステムの複雑化したレジスタ (50 - 10 万個) を取り扱う為に必要なキャプチャー、インポートそしてエクスポートを提供します。そして顧客のどのようなレガシー・フォーマットにもシームレスに統合します。このソリューションはすでに実績があり又さらに多くのレジスタ数にも対応できる拡張性を持っています。

## 機能

- CSV, Excel, DITA, CMSIS or FrameMaker フォーマットからのレジスタ/ビットフィールド記述のインポート、及び顧客のレガシー CSV, Excel もしくはその他のドキュメンテーション・フォーマットからのカスタマイズ・インポートも可能
- グラフィカル・エディターによるトレーニング不要な GUI は、レジスタとメモリマップのビュー及びキャプチャー/修正を迅速にでき、且つ IP-XACT シンタックスは非熟練設計者に見えないように配置されています。
- コンフィグ可能で条件付きプロパティ、カスタム特殊アクセスタイプ、レジスタモード、階層のプロパティなどの高度なパラメータ化
- IP メモリマップ定義のマージ/フラット化は、サブシステムもしくは SOC の新たなグローバル・メモリマップのアップデート/操作/生成に対し簡単化が可能
- Diff/アップデートのメカニズムは、段階的な設計フロー、協調作業の一貫性及び、レジスタ指向 IP と SOC ビューの同期を可能にします
- レジスタ/ビットフィールド記述のインポート/エクスポートをスクリプト化及び、自動生成を実行する為の TCL API が提供されています
- 包括的なジェネレータ・ライブラリは、次のようなオープンソース内に統合 (MRV のプレミアム・バージョン) されています：HAL API, documentation, System RDL, VRAD, RTL register bank 及び RTL(naming convention, backdoor)を持って同期されている UVM レジスタ・モデルなどの生成
- ユーザ・フレンドリーなテンプレートを持つエディタを使い、本来のオブジェクト指向 API を使った柔軟性を持たせたジェネレータのカスタム化
- オンザ・フライで且つ文脈を確認しながら、シンタックス、セマンティックスのエラー検出の為に統合化されたデザインルール・チェック

## 利点

- 複数の且つカスタマイズ可能な出力フォーマットを自動生成することによって価値の低い作業及びエラーを削減
- トレーニング不要、しかし強力且つ拡張可能なレジスタ・エディターの GUI
- IP-XACT 使用経験不要且つ、コレクト・バイ・コンストラクションで IP-XACT 記述生成

- カスタマイズ可能なインポータ/エクスポータ/レジスタ・プロパティ定義により既存フローにシームレスな統合
- HW、SW、及びドキュメンテーション・データベース間の同期を保証

## 仕様

### Import / Export

- IP-XACT 1.0, 1.2, 1.4
- IP-XACT IEEE 1685
- TCL API
- EXCEL, CSV, DITA, CMSIS, FrameMaker
- Support for custom formats Import/Export

### Register & System Management

- GUI with Linting Cross Checking Editor
- TRUE graphical Editor
- IP Memory Map Capture & Management GUI
- Synchronization with RTL platform
- Synchronization with ESL platform
- System Memory Map Capture & Management GUI
- TCL API
- Database Differencing GUI
- Database Differencing CLI
- System Level Schematic Configurability
- Customizable Data Structure Format

### Design Rule Checks

- Standard Rules
- Support for additional Custom Rules
- DRC GUI
- DRC CLI
- Rules Design Application
- Rules Management Application
- IP-XACT Rules Support

### Supported Operating Systems

- Linux RHE, Windows 2000/XP/Vista/7 (32bit)
- Linux RHE, Windows 2000/XP/Vista/7 (64bit)

### Generators

- Verilog and VHDL Register Banks (AMBA, OCP, Avalon)
- UVM Register package (1.0, 1.1, 1.2 and coverage model)
- Register abstraction layer in Specman/e language (VRAD)
- System RDL
- HW/SW Documentation (docx Format)
- HW/SW Documentation (HTML Format)
- C-code HW Access Functions (HAL layer 1, layer 2)
- C-code HW verification Functions (HAL layer 3)
- ARM CMSIS-SVD (1.0, 1.1, 1.2)
- Generator Configuration & launch GUI
- Generator Configuration & launch CLI
- Generator Specific Rules



- Customizable Generators
- Generator Customization GUI

#### 4-Magillem Generator Studio (MGS)

##### 概要

MGS は、設計者が作成した自動化プログラム（“ジェネレータ”）を実行及びデバッグを助ける為のユーザ・フレンドリーで強力且つ統合化された開発環境です。ジェネレータによって複雑な IP のコンフィグレーションのモデル化を可能にします。そのコンフィグ後、有効な IP-XACT 記述が生成されます。もしくは新たな機能を持った IP-XACT 準拠のツールに拡張されて使用されます。

マジレム社は、フローを構築する際、IP のすべての要素を簡単に抽出できるように構造化されたものに IP パラメータをストアするための機能を提供します。インデックス技術によって、直接アクセス、ツールのコンフィグと IP データベースの修正を可能にします。これはどのような IP-XACT データベースに対しても操作できる標準 API を通して、SPIRIT/Accellera コンソーシアムによって定義された TGI (Tight Generator Interface) をベースとした 100% 保証されたプロセスです。システム統合ベンダー、IP 提供ベンダー及びツール・ベンダーは、各ベンダー独自のジェネレータ（IP-XACT 用語では、実行可能オブジェクト）で、情報交換及び設計環境に機能追加することができます。

このメカニズムによって、多くのカスタマイズもしくはプログラム不要で、マジレム社の標準機能を使い、簡単に顧客独自の機能を追加できます。

さらに、TGI ジェネレータは、すべての IP-XACT 準拠のツール内で再利用できます。これによってコスト面でのメリットとツールに依存しない環境を提供できます。例えば、ジェネレータは以下のようなニーズに応じた適用が可能となります：

- IP 提供者に対して：システム内に IP を取り込み、自動統合チェックする
- SOC 統合者に対して：デザイン・ルールチェックとサブシステム自動分割割り付け
- フローチームに対して：現状のレガシー・フローのポイントツール・ラッピングにより、IP-XACT 準拠ツールにスムーズに変換

さらにジェネレータは“コマンド・ライン”モードでの実行が可能です。マジレムは、ジェネレータ開発者向けに追加機能及び高レベル機能をもたらす拡張 API も提供しています。

##### 機能

- マジレム環境にネイティブに統合されています
- IP データベースでの 100% エラーフリー操作を確実にします
- Java デバッガ・モードは、開発者にコードチェック、ブレークポイント設定、変数値の確認など様々なデバッグ・オペレーションを提供します
- ジェネレータは、他の言語 (Java, TCL, Python, Ruby...) でも開発可能です
- 自動実行完了モード、ダイナミック・シンタックス・チェック及びユーザ・フレンドリー環境でのインライン・ドキュメンテーション

- MPA (*Magillem Platform Assembly*) ツール内で使えます。例えば、TGI スクリプト自動生成させる為に、TGI レコード機能を使い、マジレム・スケマチック・エディター内で実行されたオペレーションを取得できます（例えば、コンポーネントのインスタンス化及び構成、接続生成など）
- IP-XACT(1.0, 1.1, 1.2, 1.4) のすべての前バージョンに対して提供される TGI に似た API, 及び LGI (Loose Generator Interface) に対するサポート

## 利点

- IEEE1685 及び 1.4 標準のサポートを含む、標準 TGI API に対するの完全サポート
- 拡張されたマジレム API の提供
- ジェネレータのインプレメンテーションに対してユーザ・フレンドリー環境
- JAVA ジェネレータの対しての強力なデバッグ機能
- TGI レコード機能を持つ TGI スクリプト自動生成

## 仕様

- IP-XACT 1.0, 1.1, 1.2, 1.4 certified
- IP-XACT IEEE 1685 certified

## 実行モード

- ジェネレータ開発、デバックと GUI での実行
- CLI, TCL 及び Python コンソールでのジェネレータ実行

## 利用可能 API

- Standard IP-XACT TGI for IP-XACT 1.4 and IEEE 1685
- Extended Magillem TGI API for IP-XACT 1.0, 1.2, 1.4 and IEEE 1685
- IP-XACT LGI (legacy IP-XACT 1.2 API)
- 高レベル抽象化向け機能の高レベル TGI-LIB セット
- 全マジレムツールから全 TGI function calls のアクセス

## サポート言語

- Java, TCL, Python, Ruby native support
- Any language support (with embedded SOAP client in generator)

## 開発環境 (JAVA only)

- Eclipse 上での完全開発環境
- キーワードとシンタックスをハイライト表示
- コンテキスト（文脈）特定 (Java, Javadoc) コードのアシスタントとヘルプ
- 自動コードフォーマット化と完了
- 問題、ブレークポイント、又は検索マッチにマージン・アノテーション
- インポート・アシストでの自動生成とインポート宣言の編成
- インラインのヘルプとドキュメンテーション

## デバック環境 (JAVA only)

- デバックはネイティブ統合機能を提供 (variable watch, breakpoint insertion, step by step execution...)

## マジレム環境

- 自動生成された IP-XACT ジェネレータファイル

- Magillem Platform Assembly (MPA) 内でのプラグ&プレイ・ジェネレーター実行
- TGI レコーダ(MPA で使われる)を持つ TGI スクリプトの自動生成

## 5-Magillem Check Suite (MCS)

### 概要

SOC や FPGA ベースのソリューションのような複雑なシステム設計を迅速に行う為に、IP-XACT 標準は、複数ソースの IP の記述とその扱いのメカニズムを提供します。それは複数ベンダー・ツールのフロー内での設計統合及びコンフィグレーションの自動化を可能にします。

IP-XACT 標準は、複数の IP 提供者と統合者間の IP のやり取り及び統合作業を単純化する為の共通仕様を提供します。特にそれは、バス、IP 及びプラットフォーム記述が、コンパチ可能、一貫性を保ち、そしてそれらの提供者によって定義され、期待されたように標準準拠ツールで解釈されていることを保証する為に、複雑なシンタックス、セマンティクスの完全なルール群を定義します

MCS は、完璧な準拠チェック機能を持つツールです。そしてそれは IP 提供者、統合者、及び設計フロー・エンジニアが、効率的に IP-XACT 準拠の評価をし、且つ設計フローの前段階で、準拠していない情報の検出も可能となります。標準シンタックス、セマンティクス・ルールに加え、このチェック機能群を持つツールは、プラットフォームもしくは IP を検証する為に、DRC 及び統合状況をチェックする機能も提供します。MCS の利点は：

- 負担をかけない、拡張性及び、自動化プロセス
- GUI およびコマンド・ライン実行可能
- SPIRIT Consortium チェックの定義をベースに全シンタックス、セマンティクスをチェック
- 追加 DRC 及び IP パッケージ・チェックの実行
- 主要 IP-XACT フォーマットをサポート
- チェッカーレポート生成(text, html, rtf, pdf)
- 各チェックに対してのコンフィグ困難度
- より容易なデバックの為に、マジレム IP-XACT エディタ内のエラー/警告/情報保管場所への直接リンク
- ユーザ指定言語(Java, TCL, Ruby, Python をサポート)に対して、付加的なカスタム・チェックのインプレメンテーションが可能で且つ、それを MCS のチェック機能群内に追加可能

### 機能

- IP-XACT 標準内で定義されたすべてのシンタックス、セマンティクスをチェックする
- IP-XACT 1.4 及び IEEE 1685 バージョンをサポートする
- カスタム・チェックをサポートする
- コンフィグ困難度のチェック
- 各種フォーマットでのチェックレポート
- チェッカー機能不実行指定
- 文脈的なヘルプ
- チェッカーコメント
- 複数のチェッカーポリシー

### 利点

IP 提供者:

- 統合者が納品する前に、IP 記述の準拠度を査定する

- 文脈的ヘルプを使って迅速な問題解決
- IP 提供での準拠レポートの生成

#### IP 統合者:

- サード・パーティ IP-XACT ファイル納品に対しての準拠査定
- IP 統合作業前に IP 納品に対して未準拠の検出
- 統合の全プロセスを通してのプラットフォーム組み上げチェック

#### フロー構築者:

- 認定されたフロー内にチェック機能を統合

#### プロジェクト管理者:

- 継続的な検証、トラッキング、レポート

### 仕様

- IP-XACT 1.4 support
- IP-XACT IEEE 1685 support

### チェッカー実行

- GUI 実行
- Command-line & TCL, Ruby, Python 実行

### チェッカータイプ

- シンタックス・チェック
- Official IP-XACT / IEEE 1685 Semantic チェック
- 追加的に DRC と IP 整合性チェック

### チェッカー・コンフィグレーション

- チェックの厳格レベルをコンフィグ可能な
- グローバル・ポリシー・ファイルでのチェック厳格レベルの定義

### カルタム・チェッカー

- ユーザ特定カスタム・チェック・インプレメンテーション (in Java, TCL, Ruby, Python)
- カスタム・チェック厳格レベルをコンフィグ可能
- IP-XACT エディタのエラー/警告/情報ロケーションとのカスタム・リンク
- 企業特定 XML 要求を施行
- 期待されたコンテンツに対しての IP-XACT 納品物の完成度の検証

### チェッカー・レポート

- チェッカー・レポート生成 (in text, html, pdf, rtf format)
- レポートをブラウズする為の TCL / Ruby / Python API
- チェッカーの不実行指定 (Checker waivers)
- コメントをチェッカー・レポートの関係付け

## 6-Magillem Register Engine (MRE)

### 概要

複雑な IP ポートフォリオ又は SOC のレジスタ仕様は、先進レジスタ記述言語を使用して定義することが必要です。しかしレジスタ・データベースの一貫性の不備及び貧弱な共同作業管理は、それぞれの設計グループの重荷になります。これがよりクリティカルになる状況は、設計データに異なるフォーマットを使い、複数のチームが統合レベルで関与している場合です。

MRE はレジスタの統合ハブとしての役割を持ちます。これはレジスタ記述の様々なタイプが混在することを可能にします。このタイプは、SystemRDL、Excel スプレッドシート、IP-XACT IEEE 1685 xml フォーマットもしくはドキュメンテーション（DITA、OfficeWord、他）です。レジスタ・データの集約しつつ、MRE は、全システムのシステム・メモリマップもしくは、IP ポートフォリオのメモリマップを構成し、編集を可能にします。コンフィグレーション、割り込み、パラメータが、出力情報を生成する為に考慮されます。このツールはシステムのコンフィグの結果としての出力情報、パラメータ値、及び割り込みの状況について生成します。

MRE は SystemRDL V1.0 に対してのフルサポートを提供します。マジレムは、今後リリースされる Accellera SystemRDL V2.0 のロードマップのサポートをコミットしています。

MRE は、必要な出力情報を生成し、また設計、検証、ドキュメント、ソフトウェア開発、デバッグ及びエクセルテーブルに対してのビューを提供します。

## 機能

マジレムは、MRE ツールによってどのような既存の SystemcRDL エンジンのスムーズで且つ迅速な置き換えを保証します。

「SystemRDL は複雑なデジタル・システムの設計と開発期間中、生産性と品質の向上及び再利用を促進する為に作られています。またこれは、グループ間、企業間及び業界団体間での IP を共有する為に使用可能です。これはすべてのビューが自動的に生成可能な且つ、複数のビュー間で一貫性を保証しているレジスタ記述に対して、単一ソースを指定することによって達成できます。ビューとは SystemRDL 記述（例えば、RTL コード又はドキュメンテーション）から生成されるあらゆる出力です。これらのビューは、IP-XACT 記述の生成を含みません。SystemRDL は、納品物の残りを生成したのに対して人間が読み書き可能な記述を簡潔に取り込む為に多くのチームによって使われます。」 (c) ACCELLERA 2012-2013

- MRE はレジスタをユーザがインタラクティブに記述することをアシストする IDE を持っています。インポートされたデータベースにその IDE を接続すると、コレクト・バイ・コンストラクション機能が使えるようになります。
- インポートされたデータベースに接続される

## 利点

アーキテクト構築者:

- ファイルとメモリマップ修正作業の迅速化
- 各種フォーマットのサポート

設計エンジニア:

- レジスタとメモリマップについての情報のメンテナンスの容易化
- 各種ストラテジにフィットした共同作業アプローチ

## 検証エンジニア:

- レジスタ記述によってチームとプロジェクト間を常に同期させている
- 検証ファイルは、必要な時に“オンザ・フライ”で生成します

## ファームウェア・エンジニア:

- ドキュメンテーションのデータベースの同期
- デバック目的で Board Support Packages を生成します

## 仕様

### IMPORT

- IPXACT import
- SystemRDL V1.0 import (embedded Perl and Verilog preprocessing)
- EXCEL/CSV import
- XML import

### IDE

- Syntax highlighting
- UDPs and library management
- UDP driven compilation
- Auto Completion

### CHECKS

- SystemRDL coherency

### EXPORT

- Elaborated System map in IP-XACT
- SystemRDL
- API for MRV custom generators

### Magillem Register View

- DISPLAY integration
- COMPLIANT CODE GENERATOR FOR MRV
- HTML & word Documentation, HAL C, UVM
- Altera Avalon, APB, OCP register bank, CMSIS

### Platform

- Eclipse based, supporting Linux and Windows

## 7-Magillem Sequence Editor (MSE)

### 概要

Magillem Register View (MRV) が持つ強力且つ効率的な機能をベースに、MSE は IP パッケージにおいて新たなレベルの機能を提供します。MSE は IP-XACT 記述をベースとした IP ドライバ、テストベンチ、及びレポート生成に対して使い易く且つ強力な機能を提供するツールです。MSE はシーケンス設計及びパッケージング・コードとレポートの自動生成の為に非常に分かり易い開発環境を提供します

シーケンスとは、IP（ドライバ・コード、テストベンチ、内部レジスタ・コヒーレンス制約を含みます）を扱う為の簡単な手法です。シーケンスは、IP のバス・インターフェース/レジスタ/ビットフィールドの一覧データに直接にアクセスすることを可能にする拡張された C 言語を使って定義されます。設計者は、リード、ライトオペレーションに対して、正確な REGISTER. BITFIELD シンタックスを使って IP のビットフィールドを直接参照します。

MSE によって提供される IP-XACT 記述の直接接続によって、開発者が利用可能なレジスタ・データをダイナミックにチェックできます。その間、開発者はシーケンス・コードをキャプチャーし、また auto-completion, smart hover 及び content assist を使うことができます。ダイナミック・チェッカは、レジスタ・データを使ってデータ・アクセスとサイズ制限を調整することによって、ソースコードの一貫性を常に保証するように動作します。

自動コード生成は、IP のパッケージ化に対して、コンフィグ生成を使い、シーケンス・コードをコンパイル可能コードに変換する為に継続的に実行されます。MSE はネイティブな ANSI-C 及び Specman ジェネレータを提供します。これらはレジスタ・データをカスタム・アクセスすることをサポートする為に拡張することができます。そしてそれは他のジェネレータと共存可能です。

## 機能

- シーケンス・コード設計中に、IP 構造の可視化が完了
- 開発者の生産性を改善する為の追加機能を持つシーケンス定義に対して C 言語に似た簡単なシンタックス、そしてパッケージ化されたコードの保守性と効率性
- シーケンス・コードを書く為に必要なすべての情報（サイズ、レンジ、名前、記述など）を提供するレジスタ・データに対しての Smart content assist
- レジスタ・データの Smart auto completion
- コンポーネントのアウトラインからシーケンス・エディタへの文脈に沿ったドラック&ドロップ
- MRV と MSE の両ライセンスを購入されたユーザは、レジスタ参照（コンポーネント・アウトラインとシーケンス・エディタ内）と MRV エディタ間でのクロスリンク
- MRV との連携で、MSE は完全な IP 設計とパッケージ化のワークフロー（データシートからパッケージそしてコンパイル可能なソースコード）をカバー
- コンフィグ可能且つ拡張可能なコード・ジェネレータ（現状のジェネレータは ANSI-C と Specman 言語をカバー）を使い、コンパイル可能コードのダイナミック生成
- シーケンス・コードの完全認証と IP 記述のコヒーレンスに対してコードチェッカー
- Eclipse (GDT)、生成コードのデバック、及びアプリケーション統合のハンドリングなどの良く知られた C 開発ツールとの密統合

## 利点

- IEEE1685 と IP-XACT 1.4 プラットフォーム記述のフルサポート
- シーケンス・シンタックスは、2, 3 の限定的な機能が追加されているが、本質的には C 言語シンタックスである為、非常に容易に習得可能
- 開発者の生産性と効率性を改善
- IP 若しくは生産ラインに対して、パッケージ化コードの保守性と再利用性を改善：IP-XACT に修正を加えると自動的にその生成されたコードに反映される。若しくはシーケンス・コード内でチェッカー・エラーとして認識される
- シーケンス設計に対してのユーザ・フレンドリーな開発環境

## 仕様

## IP-XACT compatibility

- IP-XACT 1.4 certified
- IP-XACT IEEE 1685 certified

## Import

- Legacy C code

## 開発環境 Development Environment

- シークエンス・シンタックスのフルサポートの完全な開発環境 (Eclipse RCP)
- レジスタ・エレメント間の制約ルールの記述
- コード・エディター内で IP 記述とデータの完全統合
- 製品ラインのサポート：一貫性チェック後に提供された IP の幾つかのバージョンに対してのシークエンス定義
- IP バス・インターフェース選択
- レジスタと MRV エディタ間のクロス・リンク
- 全シンタックスをハイライト
- シンタックスとセマンティック・チェッカー (レジスタ・オペレーションの認証もチェック)
- スマート自動完了
- エディタ内でアウトライン・ビューからレジスタ・エレメントをスマートにドラッグ&ドロップ
- クイック修正と自動完了
- ダイナミックなコード生成
- 生成された C コードに対して：Eclipse's CDT との完全統合

## Generators

- Customizable ANSI C code with automatic code formatting
- Specman / OVM / UVM sequences
- ARM® CMSIS-SVD (1.0, 1.1)
- ARM® CMSIS software layer
- Doxygen type documentation
- IP coverage reports

## Export

- Source code packaging
- Customizable multi-generators export and packaging

## 8-Magillem Design Life Management (MDL)

### 概要

MDL は急激なタイム・ツー・マーケットの制約を持つ複雑な SOC アセンブリのチャレンジに取り組む為に Magillem Platform Assembly (MPA)上に追加されたアドバンス機能です：

- 同じ IP を段階的リリース：内製 IP もしくは社外 IP 提供者は、統合作業のどのステージでも、統合者のその IP (バグ修正、仕様変更もしくはインターフェース更新後に納めた) の新たなバージョンの使用を助けます。
- 同じバージョン IP の改訂版の統合、もしくは仕様変更後の IP 修正：統合者は、既存の接続/IP コンフィグの自動アップデートによって、簡単に IP のバージョンを別のものに置き換えが可能



- ECO 機能：RTL リリース後でも、そのリリースした IP を wrapper によって再度アップデートし再構築可能
- 同じ土俵でのチーム作業統合：複雑な設計を複数のユーザが並行的に作業、また対立する変更を避ける為にユーザ作業の統合方法
- 設計アップデートを設計ブランチとして置き換え：プロジェクトの段階的変更によって派生プロジェクトとして再現可能
- 既存プラットフォームからのスクリプト生成の促進：現行プロジェクトを単にエクスポートするだけの自動化ステップによる手作業のアセンブリ作業の置き換え
- XML バス使用と調整：すべてのバスタイプと抽象タイプ参照の自動アップデート

MDL は、上記の課題に取り組む為に、複数のスケーラブルなソリューションを提供します。これらは、多くの主要顧客が扱う複雑な IP-XACT プラットフォーム作業（IP アップデート、設計差分とマージ、及び設計からスクリプト：design2script）に対して、すでに製品開発で使用されております。

IP アップデート機能は、IP 提供者と統合者の両者にメリットをもたらします。そのユーザ・フレンドリーな diff GUI は、その後の多くの統合作業に影響を与える 2 つの IP-XACT コンポーネント記述間の違いを正確に示します（例えばポート名又はサイズの変更、インターフェースのアップデート、修正されたパラメータ又は IP ビュー）。同じ diff GUI で、IP 提供者又は統合者は、コンフィグされ且つインスタンスを接続された既存 IP のアップデート中に適用する為の特定のルールを簡単に定義できます。これらのルールをベースに、自動化されたコレクト・バイ・コンストラクションのプロセスが、そのプラットフォーム内でのどのレベルの階層でも選択された IP インスタンスの置き換え作業を行えます。

同じプラットフォームで複数のユーザが並行して作業することに取り組む為に、Design Diff GUI は、どのような不一致又は大幅な変更もハイライトします。また次のような統合者の初期の判断を助けます：それらを受け入れるか/受け付けないか、又は選択されたオペレーション（例えば、ポート又はインスタンスの名前変更）を実行するか等の判断。これらの選択に基づき、マージ・エンジンがその結果として IP-XACT プラットフォームを生成します。

最後に、design2script 機能は、選択された IP-XACT プラットフォームに対して、それに対応したスクリプトを生成します。このスクリプトは、例えば派生プラットフォームを再生成し又、接続/インスタンス化を自動化する為のベースになるようにその後の修正が可能です。

## 機能

- その後の統合に影響を与えるすべての IP の修正を可視化するために広範囲をカバーする Diff GUI
- 1 つの IP の 2 つのバージョン間でポート/パラメータ/インターフェース/ビューが修正された場合のカスタム・ルールのアップデートを定義することが可能
- 同様のカスタム又は自動化ルールをベースとした、プラットフォームのすべての階層レベルでの、IP インスタンスのすべて又は選択された部分の自動アップデート
- 変更の不一致及び大幅な変更を示す Design Diff GUI で、複数のユーザが同じ設計を並行して作業する
- Diff GUI で直接に、変更の承認/未承認、及び不一致の解決が可能
- 強力且つスケーラブルなマージ・エンジン
- コレクト・バイ・コンストラクションのプロセスと設計の失敗を避ける前段階チェックフェーズ

- バスと抽象 VLNV の調整
- インターフェース接続の認識
- GUI と TCL API での提供
- IP-XACT 1.4 と IEEE1685 バージョンの両者のサポート

## 利点

### IP 提供者:

- 2つの異なるバージョン間での IP 変更のレビュー
- 後に実施される新たな IP バージョンの自動統合に対してカスタム・ルールの生成

### IP/SOC 統合者:

- 統合前の IP 修正のアセスメント
- IP インスタンスのすべて又は選択部分の自動アップデート
- 同じ設計で並行して修正された部分の Diff とマージ
- 自動化された派生設計のサポート

### プロジェクト・リーダー:

- アセンブリのどのステージにおいても、新たな IP バージョンを統合する際の繰り返し作業時間の削減
- 設計リリース・サイクル短縮を達成する為に、複数のユーザ間でのアセンブリ作業の割り付けを可能にする又は、スキルベースの設計アップデート (functional, design for test, clock, reset, analog, digital)

## 仕様

### IP-XACT compatibility

- IP-XACT 1.4 certified
- IP-XACT IEEE 1685 certified

### Execution modes

- GUI mode
- TCL / Ruby / Python API execution

### IP Update

- 総合的な Diff GUI
- IP アップデート中に適用する為にユーザマップしたルール定義
- 新ポート上に自動接続生成
- 階層のどのレベルでも自動化されたコレクト・バイ・コンストラクションで IP-XACT プラットフォームをアップデート
- コンポーネント・インスタンス・ビューのアップデート
- インターフェース/ポート/パラメータ名変更/サイズ変更/削除/マージに対してのインスタンスのアップデートのサポート
- ECO 機能 : RTL リリース後、ピンアウトを保持し、追加的な signal crossing に対してのスペアポートを使用

## IP の移行

- ユーザ定義リストで使われている Bus と Abstraction の自動調整
- IP-XACT の旧バージョンから最新バージョンまでの IP-XACT オブジェクトの移行
- ローレベル・ポイントからアドホック接続のインターフェース接続の自動認識

## 設計 diff とマージ

- 同じ IP-XACT プラットフォーム上で同時に不一致/変更を示す総合的な Diff GUI
- 変更の受諾/拒否
- 不一致解決のウィザード（選択、インスタンス名変更、など）
- 選択/不一致の解決を検証する為のオンザフライ・チェック
- 強力で拡張可能な Diff エンジン（2way-3way）

## Design 2 script

- IP-XACT design export into TGI script
- IP-XACT design export into Magillem TCL API script
- IP-XACT design export into Magillem TCL RTL API script

## 9-Magillem Crystal Bulb

### 概要

SOC についての様々角度から解析：SOC 設計ステータスと履歴のトラッキング、モニター、チェックポイント

- プラットフォーム・データベースから有用な情報を抽出する為にフィルターを生成
  - 接続度の状況
  - コンフィグレーションの一貫性
  - 仕様書と要求書
  - 消費電力の状況
  - 検証の状況
  - ソフトウェア BOM
  - ユーザのカスタマイズ
- カテゴリ内でのデータの分類
  - 複雑なスクリプト記述が不要
- クエリーと検索エンジン
  - 個別の要求を作成する為の簡単なインターフェース
  - 複数ソースでの要求
- 弱点の把握
  - 生産中での設計データベースのモニター
  - ソースの変更、アップデートのアラート
  - インパクト解析

- 相互関係
- FMEA とリスク解析
  - 変更のトラックとアラート
- プロジェクト履歴トラッキング
  - プロジェクト・マイルストーンのレビュー
  - 履歴
- ステータスとグラフ作成
- カスタム可能なレポート

無制限のデータタイプを統合し、モニター可能  
ウェブ・ブラウザを通してのリアルタイム・レポートとステータス・レポート。またアノテーションを含む。

## 10-Magillem Content Platform (MCP)

### 概要

電子及び半導体産業における設計とドキュメンテーション・チームに対して：

- 同期:  
エラーフリーの単一ソース・ドキュメンテーションと設計データ
- パブリッシュ:  
複数のターゲットに対して協調的に様々な角度からのレビューとパブリッシュ
- 自動化:  
ルールベースのコンテンツ生成と一貫性を持ったレンダリングに対しての定義と再試行のアクション

この業界での設計とドキュメンテーションのチームが期待するものは何か？ それは以下のトピックの1つもしくは複数のものに関係する：

- エンジニアリングとパブリッシュ間のギャップの橋渡し
- 設計関連のコンテンツの一貫性、整合性及び品質の保証
- コンテンツ・アップデートの自動化と迅速化
- よくマッチしたパブリッシング・プロダクション・フローを実現
- コンテンツの価値をもたらす ROI の最大化

企業内の知識を活用する為に、彼らのビジネス・プロセスのすべてにインパクトを与えるコンテンツを再利用する為の戦略が必要であることを、ビジネスから発見されます。

- デジタル・パブリッシング・ソリューションを使ったビジネスに特化したスキーマによるコンテンツの管理：真の共同作業によるパブリッシング・ソリューション；企業の知識の再利用を最大化する為のきっかけを提供します。

•数年に渡って、マジレムはXML技術での実経験を積んできました。Adobe Framemaker, MS DocX と Oasis DITA がXMLベースの業界標準とフォーマットとして出現し、スタートしたとき、マジレムはコンテンツ・アセンブリに対して強力なソリューションを構築しました。このソリューションは、Magillem Content Platform(MCP)と呼ばれ、法律関連、パブリケーション、そして最近では半導体と電子システム業界の企業で使われ、実績を上げています。

エンジニアリングとパブリッシング間のギャップの橋渡し  
MCP：総合的なパブリッシング・プラットフォーム

## 事例

### データシートと設計データベースの同期を維持

顧客は様々なデータシートに対して“パブリケーション・プラン”を定義します。設計データは、xml IEEE 1685 データベース内にストアされます。各ターゲットのユーザ向けに複数のプランを持つパブリケーションの派生版が生成可能です。設計データはその記述内容（コンテンツ・データベース、Word ファイル）と関係付けされます。データシートが生成されると（もし設計データが修正された場合）、そのデータシートは段階的にアップデートされます。

### 設計レビューの協調作業

MCP はテクニカル・ライターと設計エンジニアとの協調的なレビュー目的で使用可能です。

ドキュメンテーション・チームに対しての迅速な立ち上げを可能にする Word のような WysiWyG ツールが、MCP 環境に統合されています。設計データと関係するコンテンツの統合により、両者の交流作業はスムーズになります：一貫性と正確さは常に保証されています。各アイテムのレビュー・プロセスのステータスは可視化可能です。そして指定されたトピックにフォーカスするためには、そのレビュー者に対してはフィルターが助けとなります。

### 自前のパブリッシング環境の置き換え

多くの企業は、FrameMaker, MSWord などのツール上に、手作業もしくは複数の言語（Perl, など）で自前のスクリプトを使い技術的なパブリケーション生成プロセスを構築しています。このようなプロセスを完全に統合化されたパブリッシング・フローに置き換えると、多くの関係者に次のような利点をもたらします：

- アクセス権利の管理
- 各担当者好みのエディタ（Word、など）、複数の入力フォーマットをそのまま使用
- 変更が与えるインパクト度の計測と共同でのレビューの単純化
- 総合的なデバッグ環境とシームレスなフローの展開
- DB/CMS/履歴システムからアラートベースの自動化

### ドキュメント・コンポーネントの特性

入力はヘテロジニアス：Work テンプレート、計測ファイル、コンフィギュレーション・ファイル・シミュレーション、など

MCP 自動化フロー：

- コンフィグ・ファイルベースの Spectre シミュレーションのコンフィグとその環境の生成

- そのシミュレーションの実行とコンフィグレーションと計測間のアラインメントのチェック
- Word ドキュメント生成、グラフのプロットすべてを描く、ビューウィンドーの最適化

確実に明快な利点：

- 時間の節約（ユーザのフィードバック；85%の節約）
- チェッカー使用により、データのアラインメントを保証（計測、シミュレーション、など）
- 最終ユーザ・ドキュメンテーションの一貫したフォーマットの保証

## プレミアム機能

- コンピュータによるデータシート構成  
様々なソースとカスタマイズ化されたパブリッシング・テンプレートと設計情報を融合することによってドキュメントのすべてもしくは一部の自動生成を可能にする
- 仕様書対設計のコンフィグ化  
設計データのシステム・ビューのアクセス（Magillem EDA プラットフォームを介して）は、コンフィグレーション設計の継承を可能にします。そしてドキュメント・データベース内でその複製を避けます。設計コンフィグレーションの上位で、MCP は、仕様書コンフィグレーションの層、及び複数の言語、複数のコンフィグ、アペンディックスの管理を操作する為の wrapper を追加します。これは設計とドキュメント間の完全なアライメントを可能にします。
- コンテンツ・ブラウザーとクエリー  
MCP のすべての管理されたコンテンツは、ドキュメントベース内をナビゲートする為にメタデータのセットとしてカプセル化します。これは原本からすべてのロケーションにあるもの（コンテンツのデータベース内で使われているもの）のリソースをトラック（追跡）することを可能にします。また強力なクエリーによって、それが何であるかの識別とそのデータベース内の再利用を促進するためのリソース・フィルターを可能にします。
- API を通じた自動化（フレームワーク）  
強力な開発環境は、MCP が提供します。ソフトウェア開発キット（SDK）は、顧客及びパートナーにオープンな環境として提供する為の、マジレムのプラットフォームの強力な武器です。SDK はユーザ・フレンドリーで、条件付きブレークポイント、例外処理の管理、検査、及び修正と完全なシンタックスをもった環境でのデバッグを含みます。

## 11-Magillem X-Spec (MXS)

### 概要

組み込みソフトウェアとソフトウェア・ドリブン検証チーム向け  
IoT の実行可能な仕様書が実現  
スマートデバイスの振る舞いを予測

- マジレムの IoT 向けの X-Spec ツールスイート：
  - IoT ノードをキャプチャーする容易な道筋を提供

- それらをノード・ネットワークに組み込む目的
- 全体のシステムをシミュレートする目的
- そしてその結果を解析する目的

#### それは次に様な機能を含む

- その仕様書（データシート）から電子デバイスの自動的な可視化
- 組み込み SW のキャプチャー、アSEMBルと実行
- 標準（IEEE 1666 & 1685, OASIS DITA）をベースに再利用とインターオペラビリティを保証する HW と SWIP ブロックベースのアプローチ
- 複数のコンフィグ、異型品、そして派生品に対して、様々なフォーマットで記述された様々なインプレメンテーションの一貫性と整合性の管理
- 仕様書、要求書、欠陥レポートなどのサード・パーティーのデータベースと接続
- 協調設計、容易なクエリーそしてコンテキスト・ベースのシミュレーション・トレース解析のスマート可視化を可能にする拡張可能なデータベース

IoT に適用されたマジレムの X-Spec 可視化技術は、完全なシステム・ネットワークのコンテキスト内でターゲット HW の組み込み SW を実行することを可能にします。これは従来の PCB で構築したシステムもしくは高レベルの解析的なモデルではかなり難しいことです。

#### 仕様書から実行までの自動化フロー

Spec -> Import :	Spec を IP-XACT (IEEE 1685 standard format)に変換
Generate :	HW code (SystemC IEEE 1666),eSW code と Testbench platform を自動生成
Complie :	Build and compile HW platform and cross compile the eSW code
Execute :	Simulate the HW platform and execute the eSW on its processor unit
Publish :	Export the Platform (doc+ executable) to the Content Management Systemfor further analysis.

#### 電子製品価値の早期デモ

- 競合に勝つために、具体的な実製品完成の数ヶ月前に製品の価値をデモすることが必要
- マジレムの X-Spec によって、実 HW ボード完成前に、早期にその仮想プロトタイプの構築が可能となり、エンドユーザのアプリケーションを使ったデモが可能です。
- 製品仕様書の実行可能デモをすることは、顧客を説得する為のキーとなり得ます

#### 組み込み SW チームに柔軟に展開

- 同時に間に合わせる為に、SW 開発 4 チーム（世界に散らばっている）は、製品デバイスに対して組み込み SW の開発は同時にスタートすることが必要
- マジレム X-Spec によって、その電子デバイスの仮想プロトタイプを迅速に構築出来、共有化されたパブリッシュ・サーバー上でそのドキュメントをアップロード可能となり、そしてすべての SW 開発者にダウンロード可能通知を出します

- デリバリ・スケジュールを考慮に入れた、最新版のドキュメントを持つ電子デバイスの実行可能なプラットフォームをパブリッシュする。これによってチーム間の作業の同期する為に時間と労力を削減し、また多数の実機を世界に分散したチームに送るためのコストとそれによる開発の遅れも削減します。

#### HW コンフィグのトレース可能な管理

- 例えば、電子デバイスのバージョン 3.2 の 4 番目の派生製品でバグ発見という場合、セキュリティ・プロトコルの違反を回避する為に、Read-Write レジスタ・フィールドに Read-only に設定した可能性がある
- 電子デバイスの仮想プロトタイプを迅速に構築できるマジレムの X-Spec によって、開発サイクルの早期からバグ出しが可能となり、また関連モデル（HW、SW、とドキュメント）を変更できます。さらにこの変更によって影響を受けるその他のすべての派生品とバージョンを迅速に発見でき、その修正が必要か不必要かの判断が可能となります。
- 納品締め日に影響を与えずに、簡単なマウス操作で、クリティカルがバグの影響をすべてのプラットフォーム派生品に考慮し、同期させることが可能です。

#### 電子デバイス、システムなどに対する組み込み SW の開発と検証

- より早期に、より安全に、より速く
- HW をより視覚的に捉え又よりコントロールし易く
- 主要組み込み系プロセッサ・ベンダー向け

#### HW プラットフォームをより視覚的に捉えることによって

- 拡張性、再利用、インターオペラビリティ、柔軟性、展開を改善
- そして HW のすべての記述に一貫性を保証
- ライフタイム全般に渡って、その保守と進化を容易にする為に

#### IoT 又はシステムでの評価と影響度の確認を可能にする為に

- 機能の振る舞い、レスポンス、又は消費電力をチェック
- What-if シナリオの実行
- そしてシステム・テストシーケンスの管理

## 12-Magillem UVM

### 概要



## 要求仕様ベースの UVM 検証とトレーサビリティ

UVM-SystemC と SystemC AMS を持った IP-XACT を使ったシステムに対しての UVM 準拠テストベンチ生成

電子システムの複雑さは増大しています。多くのシステムは、組み込み SW、HW とアナログ部品間のやりとりがより緊密になってきています。さらにセーフティ・クリティカル・システム及びその必須要求としてすべての関連要求項目を検証する必要となってきています。その為、HW アーキテクチャの仮想プロトタイプ (VP) の必要性が増してきています。VP の使用によって、SW エンジニアは、HW プロトタイプ提供の前段階から HW/SW システムのデバッグが可能となります。その後 HW が利用可能となった時 (FPGA、もしくはテストチップ)、VP で使用されていたテストケースとテストベンチが再利用できるメリットがあります。そして HW プロトタイプの認証にも適用されます。

### テスト要求項目のトレーサビリティ

- インポート中にテスト仕様を最小再利用ユニット (MRU) に分ける
- IP-XACT テストベンチ構築
- 分割されたものとテストベンチの IP-XACT 間のリンクをチェック
- UVM テスト環境のネットリスト作成
- テスト要求項目のトレース
- 変更要求の影響度を解析
- レポート生成

### IP-XACT ベースのシームレスな検証フロー

MPA ツールは IP-XACT プラットフォームを組み立てる為にグラフィック的もしくは TCL スクリプトのインターフェースを提供しています。そして SystemC と SystemC-AMS 言語で、異なる UVM レイヤー (トップレベル、テストそしてテストベンチ) を持った全体の UVM-SystemC テスト環境を生成します。

IP-XACT ベースの検証手法は、テスト環境の自動生成の為に、UVM 検証コンポーネント (UVC) の簡単、コンフィグ可能そしてリーダブル記述の使用の促進を目的としています。

検証の見地から、ユーザは IP-XACT ライブラリから UVC を選択し、またテストベンチ構築の為にインスタンス化、コンフィグ化そしてこれらを接続することによって、UVM プラットフォームを構築します。

この自動化は、マジレム内で利用可能な新たなトレーサビリティ概念によって拡張されません。これはテスト・コンポーネントのコンフィグまでトレースし、要求項目に従った検証によって実行されることを可能にします。このテスト・シーケンスをドライブするステイミューラス・テキストファイルによって、検証と認証フェーズ間のテストシナリオ定義を再利用できます。

### UVM-SystemC のおける IP-XACT 拡張

IP-XACT メタデータは、検証コンポーネントを複数の企業、サービスベンダーとコンパチなコンポーネントとして共有する為に、統一した仕様を提供する為に使われます。

より具体的には、IP-XACT の UVMExtension の生成は効率的なアセンブルとテストベンチ、テストとトップレベルの要素のコンフィグを可能にします。これは検証を実施する為に必要な、関連 SystemC と SystemC-AMS ビューを生成することによって可能になります。

UVM アーキテクチャは、トップレベルから仮想シーケンサー及びお互いに独立して再利用可能な UVCS までのレイヤーで構築されています。

この再利用性を保持する為に、IP-XACT 記述は IEEE1685 標準スキーマで定義されたコンセプト設計、コンポーネントと階層ビューを使って、同じ階層的な構造に続きます。

## UVM テスト環境構築の為に Magillem Platform Assembly (MPA) ツール

パラメータに特化したビューは、テストのプラットフォームのコンフィグを容易にします。そしてその IP-XACT コンポーネントに関連する異なるコンフィグ・オブジェクトの IP-XACT 記述を使い、階層を通してそのパラメータ値をそのサブエレメントに伝播させます。

### 複数の利点

- リーダブルでコンフィグ可能なテスト・プラットフォーム記述を提供することによって、UVM コンポーネントと環境の使用及び再利用を促進する
- シーケンスとテストにフォーカスすることによってテスト記述の生産性を上げる
- テストの要求項目のトレース（カバレッジと変更依頼のインパクト）
- テストシナリオのコンフィグ後の全体の UVM 環境とシミュレーションの自動生成

UVM テストベンチ生成の実現によって、検証チームの生産性を増大させる

### UVM テストベンチ生成

- UVM アーキテクチャの理解のステップを単純化
- テスト・シーケンス記述にフォーカスする為に、時間セーブと検証エンジニアをヘルプ
- シングルソースを特定し、単純作業を避けてエラーフリーの作業

### 要求項目のカバレッジの評価

- 要求項目とテストのリンク
- カバレッジ・レポートは：
  - 検証フローによってカバーされた要求項目
  - 最新のテスト実行

テスト又は DUT の変更要求の影響度を評価し、後戻りの無いテストスイートを特定

- 仕様書の変更要求は、テストスイート、DUT、UVM などに影響を与える可能性があります
- 影響度レポートは変更要求又は変更要求の統合によって引き起こされるテストのリストを示しています。

## 13-Magillem Link Tracer (MLT)

### 概要

システム設計の様々なトレース機能

組み込みシステム設計の通常機能及び拡張機能のプロパティに対して段階的なトレース可能なフレームワーク

システムエンジニアは、システムの複雑さが指数関数的に増大している背景から、様々な活動で多くのチャレンジに遭遇しています。組み込みシステムがその環境下でより密に統合され、またより拡張性を持った機能を保証し、エンドユーザ要求を満たすシステム提供を担保する為に面倒で退屈な作業が増加しています。実際この複雑さは以下のような課題の解決を含みます：

- システムのヘテロジニアス化とその関連要求項目
- 関連するエンジニア分野が多様化
- 各種活動と特定形式のセグメント化
- フロー内で生成、交換されているデータと情報量

顧客要求リストは、機能の複雑さを増大させます。さらに拡張機能要求と各種制約（消費電力、タイミング、セーフティなど）は、設計の指針選択が増大し、また完全な設計フローにおいて早期のシステム・モデリング・フェーズに元づく的確な手法を必要としています。

これらの手法の効率化の為に、様々な利害関係者間（統合者、OEM、ビジネス担当者、エンジニアリングチーム）での情報交換とデータフローを使いこなすことが必要です。つまり、全体としてシステム情報を一定に管理すること、同様に設計環境を構成するファイルの様々な食い違い間が重なり合っていることも管理することがキーとなります。

### Magillem Link Tracer (MLT)の先進トレーサビリティ

MLTは、設計フロー内で重要な問題と見なされた様々な（且つヘテロジニアスな）システムデータとプロパティ間での相互依存性を生成、修正そして管理する為の、トレーサビリティ管理のフレームワークを提供します。

従来これらのデータはかなり広範囲に渡ったドキュメントです。これらはシステム要求書、システムモデル、仕様書、サブシステム・メタモデル、実行可能モデル、テスト計画書、テスト要求書、スコアボード、実行トレースファイル、など

このような観点から、MLTは必要な技術のフレームワークを提供します。そして設計フローの統合された特別仕様にあわせた(scalable 4-step methodology)も提供します。さらに一般化しているドキュメント・フォーマット（Word, Excel, PDF）及び業界標準は既存のプロセス内においてこのアプローチをシームレスに統合し、行き渡らせることを確実にさせます。これらの業界標準は、要求書(ReqIF), システム(SysML, MARTE), SW (UML) 及び HW (IP-XACT IEEE1685) モデリングなどです

### 拡張機能のプロパティに対しての MLT ツールを使った手法

拡張機能プロパティ（EFP）における手法：

システムデータとプロパティのライフサイクル管理は非常に重要で、また設計活動全般にわたって的確にサポートしている正確な記述法方法が必要です。これは特にEFPの場合に当てはまります。つまり仕様から認証までの様々な活動に関係し、また完全なフローに沿って考慮されなくてはなりません。

MLT環境は、必要なトレース可能な管理の仕組みとセマンティック層を含んでいます。それは、様々な情報保管場所から情報ソースの理にかなった接続を簡単に行なえることによってこれらのニーズに対処できます。

情報項目間の共通の関係付けは、ユーザによって利用されます。内部の手続き及びルールの統合に従って、リンク生成と保守の自動化とともに、MLTフレームワークを、繰り返しのシステム設計に対して、適切なダッシュボードと情報管理フレームワークに変えます。

## 主要な利点と強み

システムの設計と認証（仕様書、モデリング、実装、シミュレーションと認証）に関するドキュメントとエレメント間の情報の関連を管理、コントロール：

- 内部チームのコミュニケーションとコラボレーションの効率を増加
- 設計完了システムのパフォーマンスと特性の改善
- 繰り返し修正による検証と認証労力を減らす

## トレーサビリティ・リンクの生成

- 潜在的なビジネスルールを挿入することによっての自動生成
- 特定セマンティックの組み込み

## 可視化とエディション

- グラフィック・モニタリングと相互依存性のナビゲーション

## 変更影響度の解析

- 設計判断を促進する為のセマンティック解析レポート

## 統合

- 一般的な統合メカニズム
- カスタム統合ジェネレータ生成の為の API

## 14-Magillem Rev'enge

### 概要

半導体の組み込みプラットフォーム上で、IP ブロック統合での多くの経験を元に、マジレムは、システム統合者向けのソリューションを展開しています。現在のマーケットには、生産フローをリアルタイムでトラッキングするソリューションは存在しませんでした。その理由としては、このニーズをサポートするツールが不足していただけでなく、むしろポイント・

ソリューション・ツールと CAD ツール間での情報とデータのリンクにおける標準化が欠落していたことによります。今回マジレムは、IP-XACT IEEE1685 標準を使ってこのソリューションの展開を可能にしました。これは生産活動の流れのすべてのコンポーネントとツールを正確に記述することを可能にします。

マジレムは、フロー全般で使われている“ビジネス・オブジェクト”を統合することによって、コミュニケーション・バックボーンを提供します。しかも既存フローに対して、そのユーザに負担を掛けない方法を提供します。ツールとコンポーネントに特化したデータは、IEEE 仕様のオープンな標準を使用したメタデータとして統合されています。このソリューションは、電子設計の流れの管理に真の改革をもたらします。つまりフロー内で使われているツール群に付随する内部の特殊なフォーマットと独立した設計フローを、製造担当者が扱うことを可能にします。

このシステムは、次の分野の記述から構成されています：

- メカニクス
- メカトロニクス
- エレクトロニクス
- ソフトウェア

またグローバルなアプローチによって、コスト削減と信頼性とモジュール化を増加します。

プロジェクトの非常に特化した部分の作業担当チームに対して、一つのユニークなフォーマットによって、最終的には設計と要求のレビューを促進するオープンなコミュニケーション・フローを可能にします。CMMI (Capability Maturity Model Integration) 手法を使っている企業は、プロジェクトの定義において電子部品のアクセスを可能にする方法を提供しているベンダーは、最終的にはマジレム社であると認識します。コミュニケーション・バックボーンに沿って異なるツール間で、データを展開、コントロール、そしてあたかもリレー競争のバトンのようにデータを渡します。電子機器の HW と SW 部品に対しての新規部品交換管理は、ユーザにとってその対応はかなり困難な問題です。特に部品のライフサイクルが短縮化（平均で4年）になっている状況で、その調整はよりチャレンジングになっています。また電子システムの保守期間は10年を超えています。これは SW モジュールにとっても同様のチャレンジで、特に長期間の保守は非常に困難です。

ライフサイクル・システムが加速している状況で、BOMの詳細な参照をすべて追跡する必要があります。

市販製品はかなり頻繁に商品展示が変わり、また技術と共に、コンシューマ製品マーケット（マルチメディア、テレコミュニケーション、コンピュータ、他）のルールは、それらのライフサイクルを短縮している結果となっています。今日コストと製品提供時期を管理する為の、経済的で技術的なモニタープロセスを採用する為には、プラットフォーム上での部品についての詳細且つ正確な記述を組み込むことが必要となっています。統合システム内での SW 管理プロセス数の増加によって、このルールの変更が必要です。その理由として。SW は HW と比べてそのライフサイクルが非常に短期であるからです。組み込み SW のバージョンの正確な記述は最優先であり、また製品定義の早期から統合されている必要があります。バージョン・ナンバーによってアップデートが追跡され、またファイル定義は必要な時に示されなければなりません。

当初の設計ルールに厳密に従うことによって、設計チームの結束をキープすることになる

スキルもチームも同様に常にブラッシュアップが必要です。買収、リストラが日常化している業界では、新しいコンポーネントの使用又は新たな保守担当チームが関与して、新たな規制、新たなコンフィグを通じたシステムの進化をトレースすることが必須となっています。Rev. Enge が提供するソリューションは、プラットフォーム記述、ドキュメント/仕様書及びソースコード（さらにその後の展開もフォローし）の一貫性を保証します。コンポーネントの状況：LBO (Last Buy Order), 及び EOL (End of File)に関係したデータは、その製品の正確な記述と関係付けられます。

設計プロセスのサポートは、次世代のシステムに移行する間に必要となります。

再設計もしくはプラットフォームの再適用期間中は、コンピュータによる長期間の可視化を促進する開発の正確な道筋に従うことは非常に重要です。仕様書とプラットフォームのアーキテクチャ間の関連付けによって、Rev. Eng は以下の目的をもって、オープン標準 IEEE1685 IP-XACT ベースの完全なソリューションを提供します：

- 階層を通して様々な特性項目の伝播を促進（タイミング、時間制約、表面、操作セキュリティ制約）
- 機能の再組み換え
- プラットフォーム設計のプロセスをコントロールすることによって高品質と信頼性を保証
- 内部ツールフォーマットに拘束されないデータを保証

生産ラインでの実要求項目のトレーサビリティを可能にする検証のサポート

要求項目の記述が、プロジェクトの成功のキーとなる一貫性と品質を持つドキュメントのかなりの部分を生成します。ドキュメントのトレーサビリティは、提案されたソリューションを承認、検証を可能にするだけでなく、次世代の製品を密にコントロールし促進させます。プラットフォーム記述の間、Rev. Enge は設計者に以下のことを可能にします：

- 階層を通してプロジェクトの要求を統合
- 要求項目のフォローの検証
- 要求項目の変更管理
- これらの要求項目のトレーサビリティの保守

この手法は、ライフサイクル全般に渡ってプラットフォーム要求に対しての継続性、一貫性とトレーサビリティを保証します

コンポーネント・ライフサイクルの管理は、プラットフォームの詳細記述とリンクする必要があります

防止策管理（もしくはプロアクティブ）は、問題が表面化する前に、可能性の減少もしくははその影響を限定的にさせる為の解決プランを作成します。Rev. Enge はプラットフォームの記述を可能にします。つまりこれはその機能とアーキテクチャのみならず、仕様書、要求書、使用されるコンポーネントも参照しています。この技術は、このように異なるライフサイクル（プラットフォーム：長期、コンポーネント：短期）を持ったものとリンクすることを可能にしています。そして結果として、問題の対処を前もって練ることによって、問題の表面化を予測します。

## 15-Magillem Multi Domain Virtual Prototyping

### 概要

マルチドメイン仮想プロトタイピング（MDVP）はデジタル HW とアプリケーション SW を持つアナログとミックスド・シグナルを結び付けています。

- コンテキスト：新たなタイプのアプリケーションは、異なる物理的なドメイン（光学、メカ系、音響、バイオ、など）における周りの環境と密に関係するマイクロ・エレクトロニクスが要求されます。
- チャレンジ：製品の品質を阻害（その結果タイムツーマーケットに影響）するエラー及び再設計を避ける為に、これらマルチ・ドメインのマイクロ・エレクトロニクスが支援するシステム（プロセッサ・ユニットと組み込み SW）を特定、計測し検証。
- 提案ソリューション：サブシステム（マルチ分野）とその環境との相互作用で、マイクロ・エレクトロニクスシステム（HW と組み込み SW）のシミュレーション可能な MDVP を構築

MDVP は IP-XACT メタモデルから生成される SystemC でモデル化されたシステムの幾つかのサブ・パーツをアセンブルします。

IP を持つ仮想プロタイプは、IP-XACT と SystemC-AMS MDVP を持つ MEMS アプリケーションに対して再利用されます。

複数の実部品のモデルを構築することは、再利用手法を使ったサブ・モデルの階層的アセンブリとして構築され、そして：

- プロジェクト全般におけるモデル再利用の促進
- モデルのフローを分離（複数のドメイン=チームの分離）
- 複数の実ドメインに対しての Model of Computations (MoCs) の識別
- アナログ・ジェネリック・コンポーネント（例えば、電子もしくはメカのローパス・フィルター）の開発を可能にする
- デジタルと SW 仕様書、サブ・システム・メタモデル、実行可能モデル、テスト計画、テスト要求書、スコアボード、実行トレースファイル、などとの正確な相互作用を可能にする

### MDVP コンポーネント・ライブラリ周り

- コンポーネント・パッケージング：MDVP コンポーネント（IP-XACT 使用が主）の管理を促進する機能
- 設計アセンブリ（設計コンフィグ）：MDVP コンポーネントのセットのアセンブリの記述と、階層的に再利用を可能にする機能：システム設計のコンフィグ・パラメータの管理
- ホモジニアス設計チェック：アセンブリの一貫性を認証する為に、設計上で実行されるチェッカー
- SystemC-AMS MDVP ネットリスト：シミュレーションに対して、対応する MDVP SystemC ネットリストを生成する為に、IP-XACT MDVP 設計で利用可能な情報の抽出

- SystemC-AMS MDVPシミュレーション：設計とテストベンチのSystemC MDVPでのシミュレーションを促進する機能
- 結果解析：シミュレーション結果の解析とユーザレポートの機能

## 機能と利点

- MDVPに対して拡張されたIP-XACTの主な優位点と利点：
  - 標準IEEE1685ベース
  - Accelleraによって標準化された複数の実ドメインに特化した拡張機能
  - コンポーネント再利用とアセンブリに対してのビルトイン
  - バージョンとコンフィグ管理
  - モデリングタスクの自動化を可能
- MDVPフレームワーク機能：：
  - SystemC & IP-XACT AMS MDVP ベースの手法導入
  - 特定の実ドメイン（実モデルをSystemC-AMSに変換）に特化した外部環境から既存のモデルをインポート
  - ヘテロジニアス・インターフェースを持つ異種コンポーネントのアセンブリ
  - ホモジニアス・チェック
  - コンバータ挿入
  - 設計意図（仕様書）から即座にシミュレーション
  - システム・パフォーマンス解析
- マルチ・ドメイン仮想プロトタイプ的主要な利点：：
  - 仮想プロタイピングはマルチ・ドメイン・スマートシステム開発のスピードアップ化には必須です。
  - 先進手法は、AccelleraのIEEE1685とIEEE1666標準+AMS拡張がベースです
  - 提案されたツールと手法は、業界の要求をベースとしています。
  - 世界各国の顧客がすでにこのフレームワークと手法を評価しています。